

7? P 1829



® BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

© Offenlegungsschrift

DE 19756529 A 1

(SP Int. Cl. 6)

H 01 L 23/50

H 01 L 27/04

@ Aktenzeichen: 197 56 529.8
@ Anmeldetag: 18. 12. 97
@ Offenlegungstag: 12. 11. 98

DE 197 56 529 A 1

® Unionspriorität:
9-112431 30. 04. 97 JP
© Anmelder:
Mitsubishi Denki K.K., Tokio/Tokyo, JP
® Vertreter:
Prüfer und Kollegen, 81545 München

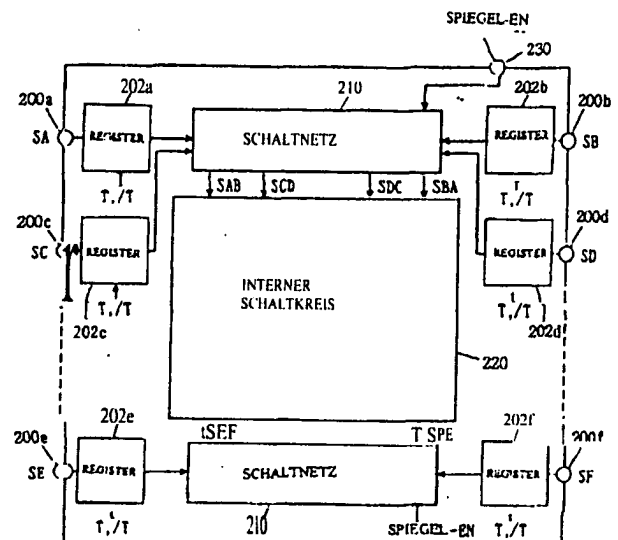
@ Erfinder:
Mori, Kaori, Tokio/Tokyo, JP; Inoue, Kazunari,
Tokio/Tokyo, JP

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

® Halbleitereinrichtung

(57) Eine integrierte Halbleiterschaltungseinrichtung (1000) hält außen angelegte Signale, die durch Eingangs-/Ausgangsanschlußflächen (200a-200f) an Registern (202a-202f) angelegt werden. Die Signale, die von den Registern (202a-202f) ausgegeben werden, werden an einen internen Schaltkreis (220) durch ein Schaltnetz (210) angelegt. Das Schaltnetz (210) wird durch ein Signal (SPIEGEL-EN) gesteuert zum spiegelsymmetrischen Invertieren der Beziehung der Signale, die an den internen Schaltkreis und die Eingangs-/Ausgangsanschlußflächen angelegt werden.



DE 197 56 529 A 1

Beschreibung

Die vorliegende Erfindung bezieht sich auf eine Halbleitereinrichtung nach dem Oberbegriff des Anspruches 1, und insbesondere auf den Aufbau einer Halbleitereinrichtung, die fähig ist, eine Eingangs-/Ausgangsanschlußstufensignal-Zuordnung von außen gesehen spiegelsymmetrisch zu invertieren.

Bei der Herstellung von Halbleitereinrichtungen werden bisher Produkte mit Anschlußstiften, die in eine Richtung und in die entgegengesetzte Richtung abgewinkelt (gebogen) sind (später bezeichnet als vorwärtsgebogene und rückwärtsgebogene Produkte) getrennt hergestellt, um die Notwendigkeit zu eliminieren, eine Blindleitung vorzusehen zum In-Übereinstimmung-Bringen der Impedanz zwischen Chips, wenn sie auf eine Platine gruppiert (gepackt) werden.

Fig. 9 ist eine Ansicht, die das Konzept zeigt, wie ein vorwärtsgebogenes Produkt 100 und ein rückwärtsgebogenes Produkt 101 entgegengesetzt zueinander auf den vorder- und rückseitigen Oberflächen einer Platine 10 gruppiert sind.

Auf diese Weise können die Längen der Leitungen zu diesen zwei Chips nicht nur gleich gemacht sondern auch verringert werden, was zur Verringerung des Rufens (Schwings), oder der Packungs-(Gruppierungs-)fläche beiträgt.

Fig. 10A und 10B zeigen eine Anschlußstiftenanordnung der Gehäuse solcher vorwärtsgebogener Produkte 100 und rückwärtsgebogener Produkte 101.

Die dunklen Eingangs-/Ausgangsanschlußstifte, wie sie in der rechten Hälfte des Gehäuses des vorwärtsgebogenen Produktes 100 angeordnet sind, sind im rückwärtsgebogenen Produkt 101 in der linken Hälfte angeordnet, in anderen Worten spiegelsymmetrisch in Bezug auf die Mittellinie angeordnet.

Die derart getrennte Herstellung der vorwärtsgebogenen Produkte und der rückwärtsgebogenen Produkte, wie sie oben beschrieben sind, ist mit dem folgenden Problem im Hinblick auf die Montage- und Testkosten für Chips behaftet.

Insbesondere, falls ein Gehäuse ein sogenanntes QFP (Quad Flat Package, Flachgehäuse mit im Quadrat angeordneten Anschlußreihen) ist, werden im Vorgang des Biegens der Anschlußstifte eines Gehäuses die Anschlußstifte einfach in verschiedene Richtungen zwischen vorwärtsgebogenen Produkten und rückwärtsgebogenen Produkten gebogen.

Das getrennte Herstellen vorwärtsgebogener Produkte und rückwärtsgebogener Produkte beeinflußt die Montagekosten nicht stark.

Jedoch erfordern das vorwärtsgebogene Produkt und das rückwärtsgebogene Produkt mit verschiedenen Verbindungsspezifikationen verschiedene Prüfplätze in Abhängigkeit von der Biegeungsrichtung im Testvorgang. Insbesondere muß eine gestiegene Anzahl von Testplätzen produziert werden, was die Testkosten anhebt.

Falls das verwendete Gehäuse ein sogenanntes BGA (Ball Grid Array = Kugelgitterfeld) Gehäuse ist, gibt es genau gesagt keinen derartigen Vorgang des Biegens der Anschlußstifte eines Gehäuses aber die Ausdrücke "vorwärtsgebogenes Produkt" und "rückwärtsgebogenes Produkt" werden noch verwendet wie in dem Fall mit dem QFP zum Erleichtern der Beschreibung.

Fig. 11 zeigt das Konzept, wie ein BGA-Gehäuse installiert wird.

Das BGA-Gehäuse weist ein Halbleiterelement 801, eine Gehäuseplatine 802 und Lötperlenanschlüsse 804 auf. Das Halbleiterelement 801 ist auf der Gehäuseplatine 802 gebildet. Die Lötperlenanschlüsse 804 sind unter der Gehäuse-

platte 802 vorgesehen. Das Halbleiterelement 801 und die Lötperlen 804 sind elektrisch miteinander verbunden.

Während des Gruppierens (Packens) wird ein Bandträger 810 mit einem Band aus einem organischen Material wie z. B. Polyimid und eine Kupfer-(Cu)Verbindung darauf mit den Lötperlen verlötet.

Die oben beschriebene Struktur des BGA-Gehäuses erlaubt es, das rückwärtsgebogene Produkt durch Wechseln des Spurmusters des Polyimid-Bandes herzustellen. Die Testkosten zu dieser Zeit hängen deshalb nicht von der Richtung des Biegens ab.

Weiterhin ist das Herstellen eines rückwärtsgebogenen Produktes im BGA-Gehäuse, was die Montagekosten betrifft, gleichzusetzen mit dem Wechseln des Spurmusters, und deshalb sollte das Polyimid-Band in einer Vielschichtstruktur gebildet sein, was die Montagekosten anhebt.

Es ist eine Aufgabe der Erfindung, eine Halbleitereinrichtung anzugeben, die fähig ist, die Eingangs-/Ausgangsanschlußstiftzuordnung von außen gesehen spiegelsymmetrisch zu invertieren, während die Testkosten und die Montagekosten vom Ansteigen abgehalten werden.

Diese Aufgabe wird gelöst durch eine Halbleitereinrichtung nach Anspruch 1.

Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

Zusammengefaßt bezieht sich die vorliegende Erfindung auf eine Halbleitereinrichtung, die ein Substrat und einen Substrathalter aufweist.

Eine integrierte Halbleiterschaltungseinrichtung ist im Substrat vorgesehen. Der Substrathalter hält das Substrat und hat eine Mehrzahl von Eingangs-/Ausgangsanschläüssen, die elektrisch mit der integrierten Halbleiterschaltungseinrichtung verbunden sind, zum Austausch von Eingangs-/Ausgangsdaten und Steuersignalen mit außen.

Die integrierte Halbleiterschaltungseinrichtung weist einen internen Schaltkreis, eine Mehrzahl von ersten Eingangs-/Ausgangsanschlußflächen, so viele zweite Eingangs-/Ausgangsanschlußflächen wie erste Eingangs-/Ausgangsanschlußflächen, ein Schaltnetz und eine dritte Eingangs-/Ausgangsanschlußfläche auf.

Der interne Schaltkreis empfängt außen angelegte Daten, führt eine vorgeschriebene Betriebsverarbeitung als Antwort auf ein Steuersignal aus und gibt Daten aus, entsprechend dem Ergebnis der Betriebsverarbeitung. Jede der ersten Eingangs-/Ausgangsanschlußflächen führt eine Eingabe von Daten, die an den internen Schaltkreis angelegt werden sollen, eine Eingabe eines Steuersignals und eine Ausgabe von Daten aus dem internen Schaltkreis aus. Die zweiten Eingangs-/Ausgangsanschlußflächen sind entsprechend zu den ersten Eingangs-/Ausgangsanschlußflächen vorgesehen und jede führt eine Eingabe von Daten, die an den internen Schaltkreis angelegt werden sollen, eine Eingabe eines Steuersignals und eine Ausgabe von Daten aus dem internen Schaltkreis aus. Das Schaltnetz antwortet auf ein außen angelegtes Schaltsteuersignal und ersetzt die Verbindung zwischen einer ersten Eingangs-/Ausgangsanschlußfläche und dem internen Schaltkreis mit der Verbindung zwischen einer entsprechenden zweiten Eingangs-/Ausgangsanschlußfläche und dem internen Schaltkreis. Die dritte Eingangs-/Ausgangsanschlußfläche empfängt ein Schaltsteuersignal. Jeder der Mehrzahl von Eingangs-/Ausgangsanschläüssen ist elektrisch mit einer von den entsprechenden Eingangs-/Ausgangsanschlußflächen, den zweiten Eingangs-/Ausgangsanschlußflächen und der dritten Eingangs-/Ausgangsanschlußfläche verbunden. Unter der Mehrzahl von Eingangs-/Ausgangsanschläüssen sind die Eingangs-/Ausgangsanschläüsse, die den ersten Eingangs-/Ausgangsanschlußflächen entsprechen, und die Eingangs-

/Ausgangsanschlüsse, die den zweiten Eingangs-/Ausgangsanschlußflächen entsprechen, symmetrisch in Bezug auf eine Mittellinie des Substrathalters angeordnet und ein Eingangs-/Ausgangsanschluß, der der dritten Eingangs-/Ausgangsanschlußfläche entspricht, ist nicht auf der Mittellinie angeordnet.

Vorzugsweise weist die integrierte Halbleiterschaltungseinrichtung ferner eine Mehrzahl von Halteschaltkreisen auf, die entsprechend der ersten und zweiten Eingangs-/Ausgangsanschlußfläche angeordnet sind, zum Halten außen angelegter Daten und eines Steuersignals in Synchronisation mit einem außen angelegten Taktsignal. Die Mehrzahl von Halteschaltkreisen ist zwischen den entsprechenden ersten und zweiten Eingangs-/Ausgangsanschlußflächen und dem Schaltnetz angeordnet.

Deshalb ist ein Hauptvorteil der vorliegenden Erfindung die Fähigkeit, Produkte als vorwärts- und rückwärtsgebogene Produkte nur als Antwort auf ein außen angelegtes Schaltsteuersignal dienen zu lassen, da die Eingangs-/Ausgangsanschlüsse des Substrathalters symmetrisch invertiert sind.

Ein anderer Vorteil der vorliegenden Erfindung liegt darin, daß die Betriebsgeschwindigkeit nicht abnimmt, falls die Funktionen der Anschlußflächen entsprechend des Vorwärtsbiegens und Rückwärtsbiegens invertiert sind, weil das Schaltnetz zwischen dem internen Schaltkreis und den Halteschaltkreisen vorgesehen ist, welche entsprechend der Eingangs-/Ausgangsanschlußflächen vorgesehen sind.

Weitere Merkmale und Zweckmäßigkeiten der vorliegenden Erfindung ergeben sich aus der folgenden Beschreibung von Ausführungsformen der vorliegenden Erfindung anhand der Figuren. Von den Figuren zeigen:

Fig. 1 ein Blockschaltbild, das die Konfiguration einer integrierten Halbleiterschaltungseinrichtung 1000 gemäß einer Ausführungsform der Erfindung zeigt;

Fig. 2A und 2B Darstellungen, die das Konzept zeigen, wie die Anschlußstifte angeordnet sind, wenn die integrierte Halbleiterschaltungseinrichtung 1000 in einem QFP montiert ist, und Fig. 2A entspricht einem vorwärtsgebogenen Produkt und Fig. 2B einem rückwärtsgebogenen Produkt;

Fig. 3 ein Blockschaltbild, das den Schaltkreis 210 der integrierten Halbleiterschaltungseinrichtung in Fig. 1 zeigt;

Fig. 4 ein Schaltbild, das die Konfiguration eines Registers 202A zeigt das in Fig. 1 gezeigt ist;

Fig. 5 ein Schaltbild, das die Konfiguration eines Multiplexers 300 zeigt, der in Fig. 3 gezeigt ist;

Fig. 6 eine Querschnittsansicht, die zeigt, wie die integrierte Halbleiterschaltungseinrichtung 1000 in ein BGA-Gehäuse montiert ist;

Fig. 7 eine Ansicht, die die Anschlußstifanordnung eines vorwärtsgebogenen Produktes zeigt, wenn die integrierte Halbleiterschaltungseinrichtung 1000 in ein BGA-Gehäuse montiert ist;

Fig. 8 eine Ansicht, die die Anschlußstifanordnung eines rückwärtsgebogenen Produktes zeigt wenn die integrierte Halbleiterschaltungseinrichtung 1000 in ein BGA-Gehäuse montiert ist;

Fig. 9 eine Ansicht, die das Konzept zeigt, wie ein vorwärtsgebogenes Produkt und ein rückwärtsgebogenes Produkt auf einer Platine gruppiert sind;

Fig. 10A und 10B sind Ansichten, die die Anschlußstifanordnung eines herkömmlichen QFP-Gehäuses zeigen, Fig. 10A entspricht einem vorwärtsgebogenen Produkt und Fig. 10B einem rückwärtsgebogenen Produkt; und

Fig. 11 eine Querschnittsansicht, die eine Montage unter der Verwendung eines BGA-Gehäuses zeigt.

Fig. 1 ist ein Blockschaltbild, das schematisch die Konfiguration einer integrierten Halbleiterschaltungseinrichtung

1000 zeigt, die auf einem Halbleitersubstrat gebildet ist, das in einer Halbleitereinrichtung gemäß einer Ausführungsform der Erfindung installiert ist.

Die integrierte Halbleiterschaltungseinrichtung 1000 weist Eingangs-/Ausgangsanschlußflächen 200a bis 200f, die außen angelegte Eingangsdaten oder Steuersignale empfangen, eine Eingangs-/Ausgangsanschlußfläche 230, die ein außen angelegtes Schaltsteuersignal SPIEGEL-EN empfängt, Register 202A bis 202f, die entsprechend dem Eingangs-/Ausgangsanschlußflächen 200a bis 200f vorgesehen sind, zum Halten von Daten, die an den entsprechenden Eingangs-/Ausgangsanschlußflächen als Reaktion auf Taktsignale T und /T angelegt sind, die in der integrierten Halbleiterschaltungseinrichtung 1000 basierend auf einem außen angelegten Taktsignal erzeugt werden, ein Schaltnetz 210, das Signale von den Registern 200a bis 200f empfängt und deren Ausgangsbestimmungsorte schaltet basierend auf dem außen angelegten Schaltsteuersignal SPIEGEL-EN, und einen internen Schaltkreis 220, der ein Signal vom Schaltnetz 210 empfängt, eine vorgeschriebene Betriebsverarbeitung ausführt und das Ergebnis nach außen ausgibt, auf.

Falls das Signal SPIEGEL-EN nicht aktiv ist (z. B. auf einem "L"-Pegel), wird ein Signal SA, das von der Eingangs-/Ausgangsanschlußfläche 200a angelegt ist, als ein Signal SAB vom Schaltnetz 210 ausgegeben und an den internen Schaltkreis 220 angelegt, und ein außen an die Eingangs-/Ausgangsanschlußflächen 200b angelegtes Signal SB wird an den internen Schaltkreis 220 als ein Signal SBA vom Schaltnetz 210 angelegt.

Auf ähnliche Weise wird, falls das Signal SPIEGEL-EN nicht aktiv ist, ein Signal SG, das an der Eingangs-/Ausgangsanschlußfläche 200c angelegt ist, an den internen Schaltkreis 220 angelegt als ein Signal SGD vom Schaltnetz 210, während ein Signal SD, das von der Eingangs-/Ausgangsanschlußfläche 200d angelegt ist, an den internen Schaltkreis als ein Signal SDG angelegt wird.

Auf dieselbe Weise wird, falls das Signal SPIEGEL-EN nicht aktiv ist, ein Signal SE, das an die Eingangs-/Ausgangsanschlußfläche 200e angelegt ist, an den internen Schaltkreis 220 als ein Signal SEF vom Schaltnetz 210 angelegt.

Hingegen wird, falls das Signal SPIEGEL-EN aktiv ist, das Signal SA, das an die Eingangs-/Ausgangsanschlußfläche 200a angelegt ist, an den internen Schaltkreis 220 als ein Signal SBA vom Schaltnetz 210 angelegt, während das Signal SB, das an die Eingangs-/Ausgangsanschlußfläche 200b angelegt ist, an den internen Schaltkreis 220 als ein Signal SAB angelegt wird.

Die Signale SC und SD, die an die Eingangs-/Ausgangsanschlußflächen 200c und 200d angelegt sind, und die Signale SE und SF, die an die Eingangs-/Ausgangsanschlußflächen 200e und 200f angelegt sind, werden an den internen Schaltkreis 220 angelegt, wobei ihre gegenseitigen Beziehungen vom Fall, in dem das Signal SPIEGEL-EN nicht aktiv ist, umgekehrt sind.

Insbesondere werden in der integrierten Halbleiterschaltungseinrichtung 1000 der Fig. 1 außen angelegte Daten dem internen Schaltkreis 220 in der für die entsprechenden Eingangs-/Ausgangsanschlußflächen 200a, 200b, 200c und 200d, und 200e und 200f umgekehrten Weise, abhängig vom Zustand des Signals SPIEGEL-EN geliefert.

Fig. 2A und 2B sind Ansichten, die Beispiele der Anschlußstifanordnung eines Gehäuses zeigen, wenn die integrierte Halbleiterschaltung 1000, die in Fig. 1 gezeigt ist, in ein QFP gepackt wird. Fig. 2A zeigt ein Beispiel einer Anschlußstifanordnung, die einem vorwärtsgebogenen Produkt 100 entspricht, und Fig. 2B zeigt ein Beispiel einer An-

schlußstiftenordnung, die einem rückwärtsgebogenen Produkt 101 entspricht.

In Fig. 2A ist das Signal SPIEGEL-EN, das in Fig. 1 gezeigt ist, an einen Anschlußstift 1002 angelegt, während in Fig. 2B das Signal SPIEGEL-EN an einen Anschlußstift 1004 angelegt ist.

Daher werden, falls die in Fig. 2 gezeigten vorwärts- und rückwärtsgebogenen Produkte 100 und 101 auf einer Platine 10 gruppiert werden, wie in Fig. 9 gezeigt ist, die Anschlußstifte 1002 und 1004 einander entgegengesetzt mit der Platine 10 dazwischen angeordnet.

Durch Invertieren eines jeden Pegels der Signale, die an die Anschlußstifte 1002 und 1004 angelegt sind, kann jede grundsätzlich ähnlich montierte Halbleitereinrichtung entweder als vorwärtsgebogenes Produkt 100 oder als rückwärtsgebogenes Produkt 101 verwendet werden.

Fig. 3 ist ein Blockschaltbild, das schematisch einen Teil der in Fig. 1 gezeigten Konfiguration zeigt, welche die Eingangs-/Ausgangsanschlußfläche 200a und 200b, die Eingangs-/Ausgangsanschlußfläche 230, die das Signal SPIEGEL-EN empfängt, die Register 202a und 202b, die den Eingangs-/Ausgangsanschlußflächen 200a und 200b entsprechen, und Multiplexer 300 und 302 im Schaltnetz 210 aufweist.

Die Multiplexer 300 und 302 sind im Schaltnetz 210 enthalten.

Der Multiplexer 300 empfängt ein Ausgangssignal vom Register 202A, das ein außen angelegtes Signal SA durch die Eingangs-/Ausgangsanschlußfläche 200a empfängt, und ein Ausgangssignal vom Register 202B, das das Signal SB, das durch die Eingangs-/Ausgangsanschlußfläche 200b angelegt ist, empfängt, und gibt das Signal SA im aktiven Zustand des Signals SPIEGEL-EN und das Signal SB im inaktiven Zustand aus.

Der Multiplexer 302 empfängt ein Ausgangssignal vom Register 202, das das Signal SA, das durch die Eingangs-/Ausgangsanschlußfläche 200a angelegt ist, empfängt, und ein Ausgangssignal vom Register 202B, das das Signal SB empfängt, welches durch die Eingangs-/Ausgangsanschlußfläche 200b angelegt ist, und gibt das Signal SB im aktiven Zustand des Signals SPIEGEL-EN und das Signal SA in seinem inaktiven Zustand aus.

Deshalb können, durch Anlegen des Signals, das vom Multiplexer 300 als Signal SAB an den internen Schaltkreis ausgegeben ist, und des Signals, das vom Multiplexer 302 als Signal SBA an den internen Schaltkreis 220 ausgegeben ist, diese Signale geschaltet werden zum Anlegen an den internen Schaltkreis 220 in Abhängigkeit vom Zustand des Signals SPIEGEL-EN.

Fig. 4 ist ein Schaltbild, das ein Beispiel der Konfiguration des in Fig. 1 gezeigten Registers 202A zeigt.

Die Register 202B bis 202f haben dieselbe Konfiguration wie das Register 202A.

Das Register 202A weist einen n-Kanal-MOS-Transistor 2022, der zwischen den Knoten P1 und P2 verbunden ist, die das außen angelegte Signal SA empfangen, und dessen Gatepotential durch das Signal /T gesteuert ist, Inverter 2024 und 2026, die in Reihe zwischen den Knoten P2 und P3 verbunden sind, einen n-Kanal-MOS-Transistor 2028, der zwischen den Knoten P2 und P3 und parallel zu den Invertern 2024 und 2026 verbunden ist und dessen Gatepotential durch das Signal T gesteuert ist, einen n-Kanal-MOS-Transistor 2030, der zwischen den Knoten P3 und P4 verbunden ist und dessen Gatepotential durch das Signal T gesteuert ist, Inverter 2032 und 2034, die in Reihe zwischen den Knoten P4 und P5 verbunden sind, und einen n-Kanal-MOS-Transistor 2036, der zwischen den Knoten P4 und P5 und parallel zu den Invertern 2032 und 2034 verbunden ist und dessen

Gatepotential durch das Signal /T gesteuert ist, auf. Der Knoten P5 ist mit dem Schaltnetz 210 verbunden.

Das Register 202A, das diese Konfiguration hat, empfängt das äußere Signal SA während des Zeitraumes, in dem das Signal /T aktiv ist (auf einem "L"-Pegel und Signal T ist inaktiv) und hält den Pegel des Signals SA an einem Verriegelschaltkreis (Halte-Schaltkreis), der aus den Invertern 2024 und 2026 und dem Transistor 2028 gebildet ist, als Antwort auf Signal T, wobei die Umkehr des Signals /T einen aktiven Zustand annimmt. Dann wird der Signalpegel, der wiederum als Antwort auf das Signal /T einen aktiven Zustand einnimmt, an einem Verriegelschaltkreis (Halte-Schaltkreis) gehalten, der aus den Invertern 2032, 2034 und dem Transistor 2036 gebildet ist, und wird an das Schaltnetz 210 ausgegeben.

Fig. 5 ist ein Schaltbild, das die Konfiguration des in Fig. 3 gezeigten Multiplexers 300 zeigt.

Die Konfiguration des Multiplexers 302 ist grundsätzlich dieselbe wie diejenige des Multiplexers 300, wobei ein Unterschied darin besteht, daß die Beziehung der Signale, die damit verbunden werden sollen, verschieden ist.

Der Multiplexer 300 weist einen n-Kanal-MOS-Transistor 3002, der zwischen einem Knoten Q1, welcher ein Signal SA empfängt, das vom Register 202A ausgegeben ist, und einem Knoten Q3 verbunden ist, der jedes der verbundenen Signale ausgibt und dessen Gatepotential durch das Signal SPIEGEL-EN gesteuert ist, einen Inverter 3004, der das Signal SPIEGEL-EN empfängt und die Umkehr desselben ausgibt, und einen n-Kanal-MOS-Transistor 3006, der zwischen dem Knoten Q2, der das Signal SB, das vom Register 202B ausgegeben ist, empfängt, und dem Knoten Q3 verbunden ist und dessen Gatepotential durch den Ausgang des Inverters 3004 gesteuert ist, auf.

Deshalb wird während des Zeitraumes, in dem das Signal SPIEGEL-EN in einem aktiven Zustand ist (auf einem "H"-Pegel) das Signal SA, das an dem Knoten Q1 angelegt ist, an den Knoten Q3 ausgegeben.

Weiterhin wird während des Zeitraums, in dem das Signal SPIEGEL-EN in einem inaktiven Zustand ist, das Signal SB, das an Knoten Q2 angelegt ist, vom Knoten Q3 ausgegeben.

Fig. 6 ist eine Ansicht, die zeigt, wie ein Halbleitersubstrat 1010, auf dem die in Fig. 1 gezeigte integrierte Halbleiterschaltungseinrichtung 1000 installiert ist, auf einem Bandträger 810 gepackt ist, unter Verwenden eines BGA-Gehäuse-Substrats 1020 wie in dem Fall mit dem eingangs beschriebenen Beispiel.

Das Gehäusesubstrat 1020 weist wie ein in Fig. 11 gezeigtes Beispiel Lötperlen 1040 auf, die mit den Eingangs-/Ausgangsanschlußflächen 200a bis 200f der Halbleitereinrichtung 1000 durch den Bandträger 810 elektrisch verbunden sind.

Fig. 7 ist eine Ansicht, die ein Beispiel einer Anschlußstiftzuordnung zeigt, wenn die in Fig. 1 gezeigte integrierte Halbleiterschaltungseinrichtung 1000 in das BGA-Gehäuse, wie es in Fig. 11 gezeigt ist, montiert ist, und Fig. 8 ist eine Ansicht, die die Anschlußstiftzuordnung zeigt, dessen linke und rechte Hälfte von dem in Fig. 7 gezeigten BGA-Gehäuse umgekehrt ist durch Aktivieren des Signals SPIEGEL-EN.

In den Fig. 7 und 8 ist die integrierte Halbleiterschaltungseinrichtung 1000 z. B. eine integrierte Halbleiterschaltungseinrichtung zur Bildverarbeitung.

Es wird auf die Fig. 7 und 8 Bezug genommen, da das Signal SPIEGEL-EN in Fig. 6 in einem aktiven Zustand ist, sind die Eingangs-/Ausgangsanschlußstifte, die die Signale P-R [0] bis P-R [4] unter außen angelegten Bildsignalen empfangen, zum Beispiel in der rechten Hälfte vorhanden,

während die Eingangs-/Ausgangsanschlußstifte, die die Signale P-R [5] bis P-R [9] empfangen, in der linken Hälfte vorhanden sind.

In Fig. 8 ist das Signal SPIEGEL-EN aktiviert, die Zuordnung der Signale, die an den internen Schaltkreis und die Anschlußflächen in der integrierten Halbleiterschaltungseinrichtung 1000 geliefert sind, ist in Bezug auf die Linie der Chip-Basisebene umgekehrt, die Eingangs-/Ausgangsanschlußstifte, die die Signale P-R [0] bis P-R [4] empfangen, sind in der linken Hälfte vorhanden und die Eingangs-/Ausgangsstifte, die die Signale P-R [5] bis P-R [9] empfangen, sind in der rechten Hälfte vorhanden. Wie im vorhergehenden kann die Anschlußstiftsignalzuordnung spiegelsymmetrisch invertiert sein, einfach durch Steuern des Pegels des Signals SPIEGEL-EN von außen, und deshalb können Einrichtungen schaltbar als vorwärts- und rückwärtsgebogene Produkte dienen, einfach durch Steuern des Signals SPIEGEL-EN.

Ferner ist der Anschlußstift zum Schalten des Modus des vorwärts-/rückwärtsgebogenen Produktes nicht auf der senkrechten Mittellinie positioniert. Deshalb kann, wenn ein BGA-Typ-Gehäuse verwendet wird, falls die Anschlußstiftanordnung (entsprechend der Anordnung der Pole) nicht vollständig symmetrisch wie ein QFP-Typ ist, ein vorwärts-/rückwärtsgebogenes Produkt leicht gebildet werden, weil der Anschlußstift zum Modusschalten nicht auf der Mittellinie positioniert ist.

Zusätzlich ist ein Schaltnetz 210 zum Modusschalten vorgesehen zwischen einem Register, das ein außen eingegebenes Signal empfängt, und dem internen Schaltkreis 220. Zum Beispiel gibt es im internen Schaltkreis 220 ein Register, das ein Signal empfängt und hält, das vom Schaltnetz 210 ausgegeben ist, und ein außen angelegtes Signal wird durch eine sogenannte Pipeline übertragen.

Deshalb wird, da das Schaltnetz 210 zwischen dem ersten Register, das eine derartige äußere Eingabe empfängt, und dem zweiten Register vorhanden ist, das im internen Schaltkreis 220 vorhanden ist, ein außen angelegtes Signal am ersten Register gehalten (verriegelt), und dann wird der Modus geschaltet.

Inbesondere ändert sich die Einstell-/Haltezeit während der Eingabe des Signals in die Einrichtung nicht in Abhängigkeit vom Modus des Gehäuses (dem Modus des vorwärtsgebogenen oder rückwärtsgebogenen Gehäuses). Andernfalls wird sich, falls das erste Register nicht durchwandert wird, in Abhängigkeit von der Länge der Leitung, die sich von den Anschlußflächen in den Chip erstreckt, die Einstell-/Haltezeit ändern, und die Spezifikation der Produkte könnte sich ändern abhängig davon, ob die Einrichtung als vorwärtsgebogenes Produkt oder rückwärtsgebogenes Produkt benutzt wird.

Patentansprüche

1. Halbleitereinrichtung mit einem Substrat (1010), in dem eine integrierte Halbleiterschaltungseinrichtung (1000) installiert ist, und einem Substrathalter (1020), der das Substrat hält und eine Mehrzahl von Eingangs-/Ausgangsanschlüssen (1040) besitzt, die elektrisch mit der integrierten Halbleiterschaltungseinrichtung (1000) verbunden sind, zum Übertragen/Empfangen von Eingangs-/Ausgangsdaten und eines Steuersignals nach außen und von außen der Halbleitereinrichtung, gekennzeichnet durch einen internen Schaltkreis (220) zum Ausführen einer vorgeschriebenen Betriebsverarbeitung zum Empfangen außen angelegter Daten als Antwort auf ein Steuersignal und zum Ausgeben von Daten entsprechend des

Ergebnisses der Betriebsverarbeitung;

eine Mehrzahl von ersten Eingangs-/Ausgangsanschlußflächen (200a, 200c, 200e), die entweder die Eingabe von Daten, die an den internen Schaltkreis (220) angelegt werden sollen, oder die Eingabe des Steuersignals oder die Ausgabe der Daten vom internen Schaltkreis (220) ausführen;

eine Mehrzahl von zweiten Eingangs-/Ausgangsanschlußflächen (200b, 200d, 200f), die entsprechend der Mehrzahl von ersten Eingangs-/Ausgangsanschlußflächen vorgesehen sind, zum Ausführen entweder der Eingabe von Daten, die am internen Schaltkreis (220) angelegt werden sollen, oder der Eingabe des Steuersignals oder der Ausgabe der Daten vom internen Schaltkreis (220);

eine Schaltvorrichtung (210) zum Ersetzen der Verbindung zwischen den ersten Eingangs-/Ausgangsanschlußflächen (200a, 200c, 200e) und dem internen Schaltkreis (220) durch die Verbindung zwischen den entsprechenden zweiten Eingangs-/Ausgangsanschlußflächen (200b, 200d, 200f) und dem internen Schaltkreis (220) als Antwort auf ein außen angelegtes Schaltsteuersignal (SPIEGEL-EN); und

eine dritte Eingangs-/Ausgangsanschlußfläche (230), die das Schaltsteuersignal (SPIEGEL-EN) empfängt wobei

jeder der Mehrzahl von Eingangs-/Ausgangsanschlüssen (1040) elektrisch mit einer entsprechenden der ersten Eingangs-/Ausgangsanschlußflächen (200a, 200c, 200e), der zweiten Eingangs-/Ausgangsanschlußflächen (200b, 200d, 200f) und der dritten Eingangs-/Ausgangsanschlußfläche (230) verbunden ist, und unter der Mehrzahl der Eingangs-/Ausgangsanschlüsse (1040), die Eingangs-/Ausgangsanschlüsse (1040), die den ersten Eingangs-/Ausgangsanschlußflächen (200a, 200c, 200f) entsprechen, und die Eingangs-/Ausgangsanschlüsse (1040), die den zweiten Eingangs-/Ausgangsanschlußflächen (200b, 200d, 200f) entsprechen, symmetrisch in Bezug auf eine Mittellinie des Substrathalters (1020) angeordnet sind, und der Eingangs-/Ausgangsanschluß (1040), der der dritten Eingangs-/Ausgangsanschlußfläche (230) entspricht, von der Mittellinie abweicht.

2. Halbleitereinrichtung nach Anspruch 1, bei der die integrierte Halbleiterschaltungseinrichtung (1000) eine Mehrzahl von Haltevorrichtungen (202A-202f) aufweist, die entsprechend den ersten und zweiten Eingangs-/Ausgangsanschlußflächen (200a-200f) angeordnet sind, zum Halten außen angelegter Daten und eines Steuersignals in Synchronisation mit einem außen angelegten Taktsignal, wobei die Mehrzahl der Haltevorrichtungen, (202A-202f) zwischen den entsprechenden ersten und zweiten Eingangs-/Ausgangsanschlußflächen (200a-200f) und der Schaltvorrichtung (210) angeordnet sind.

3. Halbleitereinrichtung nach Anspruch 1 oder 2, bei der die Schaltvorrichtung (210) einen ersten Auswahlkreis (300) aufweist, der ein erstes Signal von der ersten Haltevorrichtung (202a, 202c, 202e), die entsprechend der ersten Eingangs-/Ausgangsanschlußfläche (200a, 200c, 200e) vorgesehen ist, und ein zweites Signal von der zweiten Haltevorrichtung (202b, 202d, 202f), die entsprechend der zweiten Eingangs-/Ausgangsanschlußfläche (200b, 200d, 200f) vorgesehen ist, empfängt und eines des ersten und zweiten Signales als Antwort auf den aktiven/inaktiven Zustand des Schaltsteuersignales (SPIEGEL-EN) ausgibt, und einen zweiten Auswahlkreis (302) aufweist, der

das erste und das zweite Signal empfängt und eines des zweiten und ersten Signales komplementär zum ersten Auswahl Schaltkreis (300) als Antwort auf den aktiven/inaktiven Zustand des Schaltsteuersignals (SPIEGEL-EN) ausgibt.

4. Halbleitereinrichtung nach Anspruch 3, bei der der erste Auswahl Schaltkreis (300) aufweist:
einen ersten Eingangsknoten (Q1) zum Empfangen des ersten Signals (SA);
einen zweiten Eingangsknoten (Q2) zum Empfangen des zweiten Signals (SB);
einen ersten Ausgangsknoten (Q3);
einen auf das Schaltsteuersignal (SPIEGEL-EN) reagierenden ersten Transistor (3002), zum Öffnen/Schließen der Verbindung des ersten Eingangsknotens (Q1) und des ersten Ausgangsknotens (Q3); und
einen auf die Umkehr des Schaltsteuersignals (SPIEGEL-EN) reagierenden zweiten Transistor (3006) zum Öffnen/Schließen der Verbindung des zweiten Eingangsknotens (Q2) und des ersten Ausgangsknotens (Q3); und

der zweite Auswahl Schaltkreis (302) aufweist:
einen dritten Eingangsknoten zum Empfangen des zweiten Signals;
einen vierten Eingangsknoten zum Empfangen des ersten Signals;
einen zweiten Ausgangsknoten;
einen auf das Schaltsteuersignal (SPIEGEL-EN) reagierenden dritten Transistor zum Öffnen/Schließen der Verbindung des dritten Eingangsknotens und des zweiten Ausgangsknotens; und
einen auf die Umkehr des Schaltsteuersignals (SPIEGEL-EN) reagierenden vierten Transistor zum Öffnen/Schließen der Verbindung des vierten Eingangsknotens und des zweiten Ausgangsknotens.

5. Halbleitereinrichtung nach einem der Ansprüche 2 bis 4, bei der die Haltevorrichtung (202a-202f) aufweist:

einen ersten Schaltkreis (2022), der auf einen ersten Pegel eines äußeren Taktsignals reagiert, zum Übertragen von Daten von einer entsprechenden Eingangs-/Ausgangsanschlußfläche (200a-200f);

einen ersten Verriegelschaltkreis (2024, 2026, 2028), der auf einen zweiten Pegel des äußeren Taktsignals reagiert, zum Halten eines Signals vom ersten Schaltkreis (2022);

einen zweiten Schaltkreis (2030), der auf den zweiten Pegel des äußeren Taktsignals reagiert, zum Übertragen von Daten vom ersten Verriegelungsschaltkreis (2024, 2026, 2028); und

einen zweiten Verriegelungsschaltkreis (2032, 2034, 2036), der auf den ersten Pegel des äußeren Taktsignals reagiert, zum Halten eines Signals vom zweiten Schaltkreis (2030) und zum Ausgeben des Signals an die entsprechende Haltevorrichtung (210).

6. Halbleitereinrichtung nach einem der Ansprüche 1 bis 5, wobei der Substrathalter (1020) ein Kugelgitterfeld-(BGA, ball grid array)Gehäuse ist.

Hierzu 8 Seite(n) Zeichnungen

60

FIG. 1

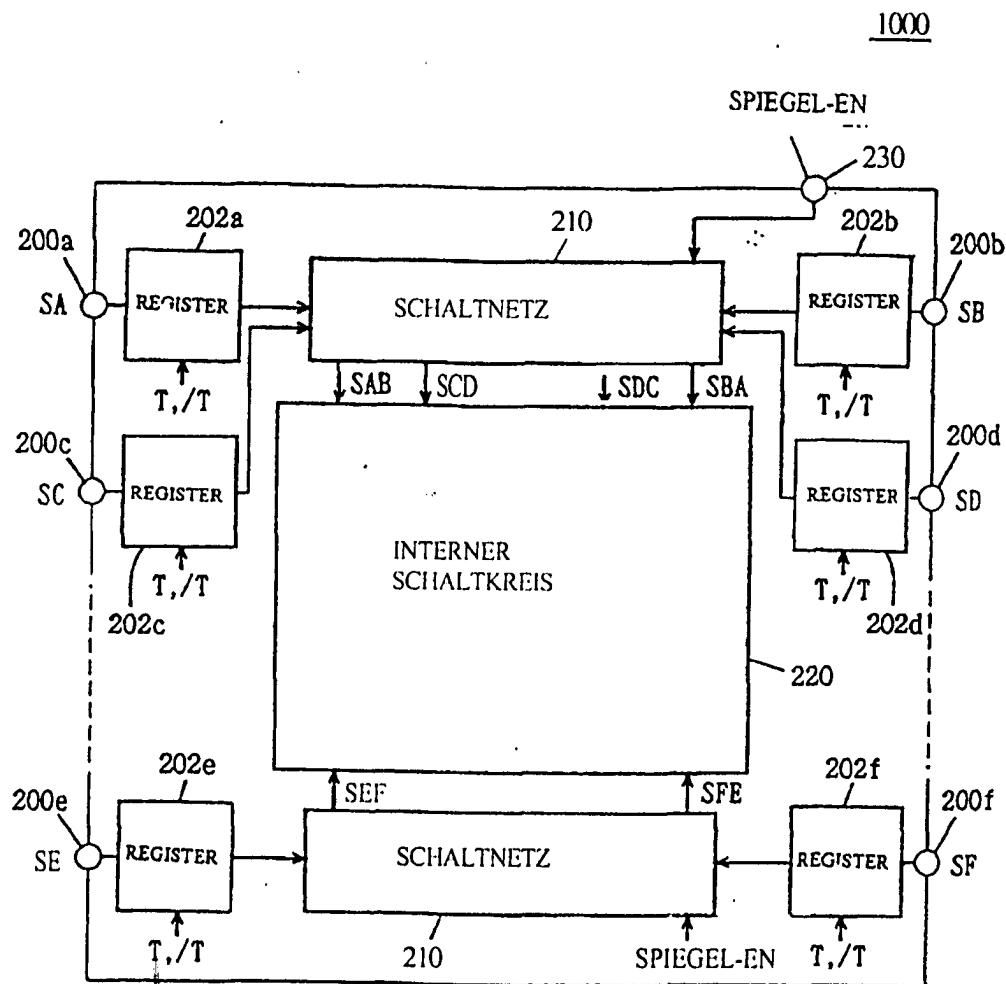


FIG. 2A

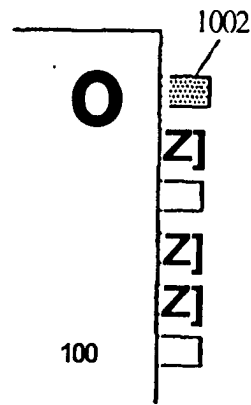


FIG. 2B

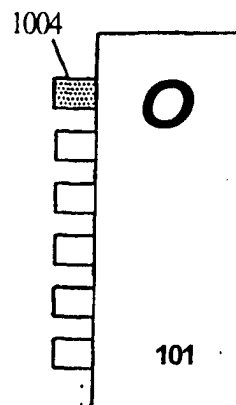


FIG. 3

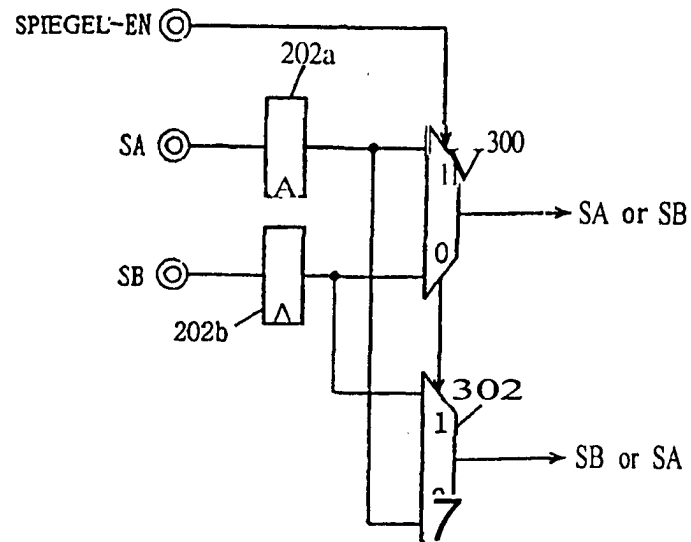


FIG. 4

202a

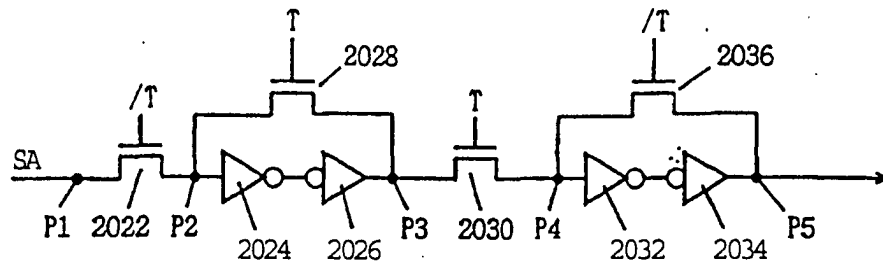


FIG. 5

300

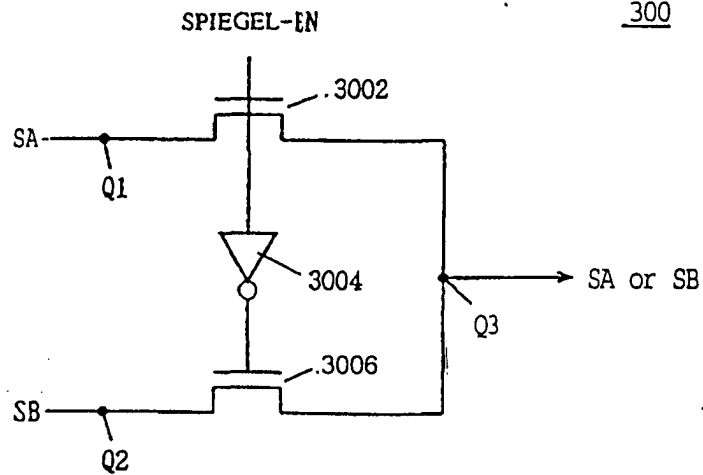
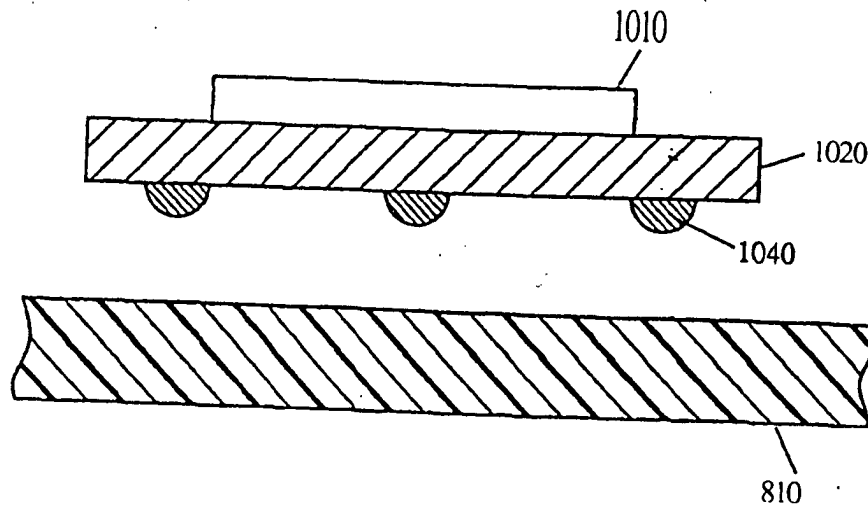


FIG. 6



The diagram illustrates the pinout of the 80C186 microprocessor, showing the internal circuitry and the connections for various pins. The pins are organized into four main groups: Address (A), Data (D), Control (C), and Power (P). The diagram shows the internal circuitry of the microprocessor, including the address bus, data bus, and control logic. The pins are labeled with their respective functions and pin numbers.

Pinout Details:

- Address Pins (A):** A0[0] through A15[15], A16[16] through A23[23].
- Data Pins (D):** D0[0] through D15[15], D16[16] through D31[31].
- Control Pins (C):** CS[0], RST[1], TMS[2], TDI[3], TDO[4], RST[5], CS[6], CS[7], CS[8], CS[9], CS[10], CS[11], CS[12], CS[13], CS[14], CS[15], CS[16], CS[17], CS[18], CS[19], CS[20], CS[21], CS[22], CS[23].
- Power Pins (P):** VSS[0] through VSS[31], VCC[0] through VCC[31].

FIG. 8

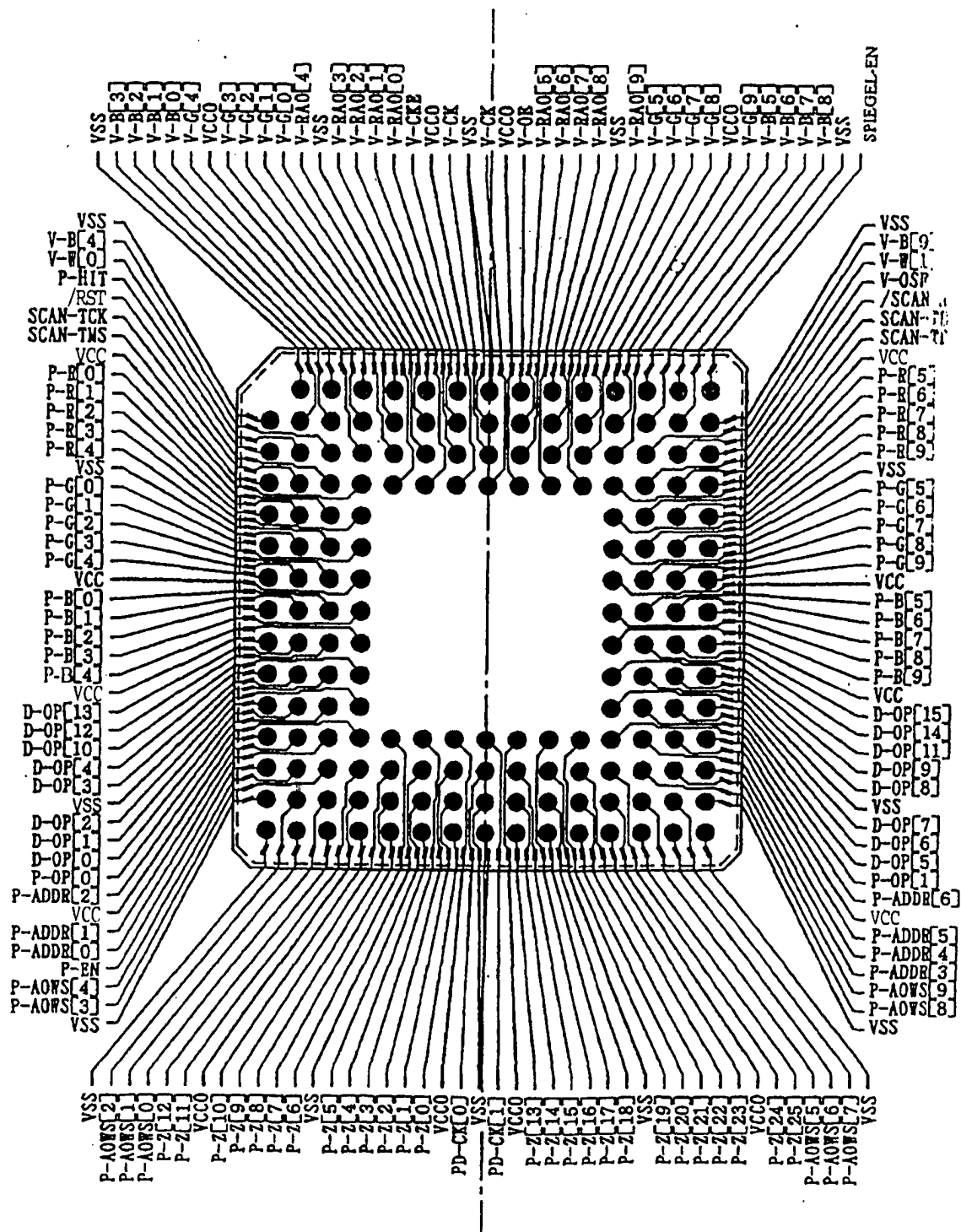


FIG. 9

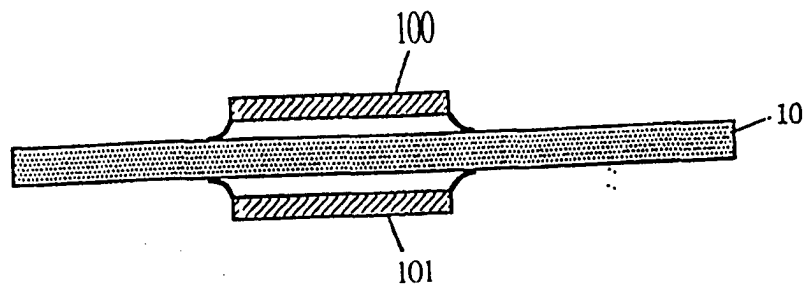


FIG. 10A

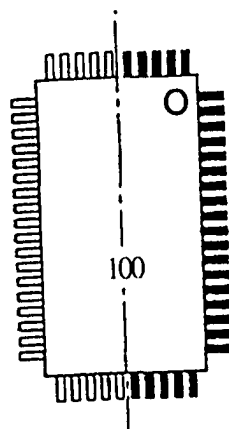


FIG. 10B

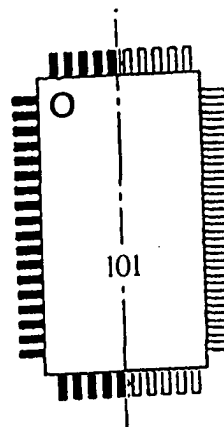
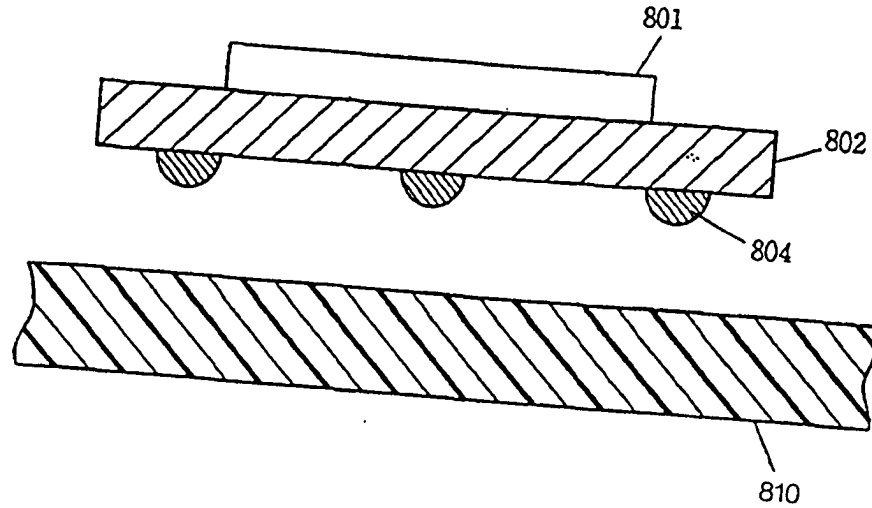


FIG. 11



DOCKET NO: MAS-FIN-200
SERIAL NO: 10/010, 164
APPLICANT: Muff et al.
LERNER AND GREENBERG P.A.
P.O. BOX 2480
HOLLYWOOD, FLORIDA 33022
TEL. (954) 925-1100